

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332643

(P2001-332643A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

マークシート\* (参考)

H 0 1 L 23/12

H 0 1 L 23/12

L

23/52

23/52

D

25/04

25/04

Z

25/18

審査請求 有 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2000-147245 (P2000-147245)

(22) 出願日 平成12年5月19日 (2000. 5. 19)

(71) 出願人 500224531

株式会社アイ・イー・ピー・テクノロジー  
ズ

東京都八王子市東浅川町550番地の1

(72) 発明者 若林 猛

東京都八王子市東浅川町550番地の1 株  
式会社アイ・イー・ピー・テクノロジー  
ズ  
内

(72) 発明者 桑原 治

東京都八王子市東浅川町550番地の1 株  
式会社アイ・イー・ピー・テクノロジー  
ズ  
内

(74) 代理人 100096699

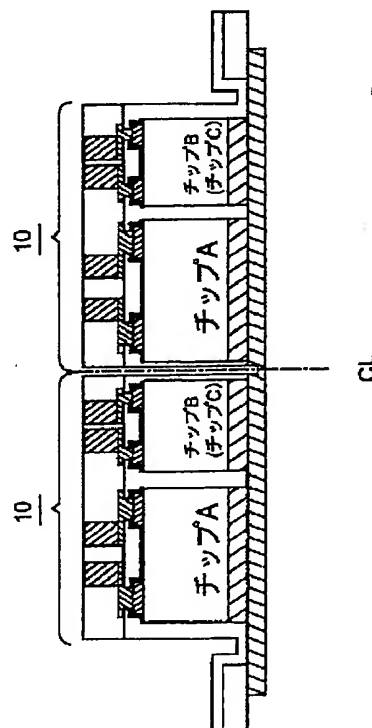
弁理士 鹿嶋 英資

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 信頼性を向上させつつマルチチップモジュール化することができる半導体装置およびその製造方法を実現する。

【解決手段】 ウエハ1-1~1-3の背面側に裏面側保護膜11を形成してから個片化し、これら個片化された半導体チップA, B, Cをマルチチップモジュールとなるよう並び替えた後、このモジュールの表面および側面を覆うと共に、チップ間隙を充填する第1の表面側保護膜3を形成し、続いて再配線5、ポスト6および第2の表面側保護膜7を設けた後、切断面に所定厚の表面保護膜3が残るようにカットラインCLに沿って再度ダイシングしてマルチチップモジュール化された半導体装置10を形成するので、半導体装置10は背面、表面および側面が全て保護膜3, 11で覆われ、これにより信頼性が向上する。



## 【特許請求の範囲】

【請求項 1】 個片化された複数のウエハの半導体チップを一組としたチップモジュールから構成され、前記チップモジュールは、背面を覆う第 1 の保護膜と、表面およびモジュール毎に個片切断される時の切断面を覆うように形成された第 2 の保護膜とを具備することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の発明において、前記各半導体チップは、表面側に柱状電極を有することを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の発明において、前記第 2 の保護膜は、下層および上層からなる積層構造を有し、前記下層上に再配線が形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 ～ 3 記載の発明において、前記各モジュール内の半導体チップは異なる種類の集積回路を有することを特徴とする半導体装置。

【請求項 5】 請求項 1 ～ 4 記載の発明において、前記各モジュール内の半導体チップはスペースを設けて配置され、前記第 2 の保護膜は前記各半導体チップ間のスペース内に形成されていることを特徴とする半導体装置。

【請求項 6】 ウエハの背面を覆う第 1 の保護膜を形成する第 1 の工程と、この第 1 の工程を経た複数のウエハをチップに個片化し、各ウエハのチップを一組としたチップモジュールに並び替える第 2 の工程と、前記チップモジュールの表面および側面を覆う第 2 の保護膜を形成する第 3 の工程と、前記第 2 の保護膜が切断面に残るように、前記チップ間隙より狭い幅で前記チップモジュールを個片に切断する第 4 の工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の発明において、前記第 1 の工程における前記ウエハには表面側に柱状電極が形成されていることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 または 7 記載の発明において、前記第 3 の工程における前記第 2 の保護膜を形成する工程は、第 1 の表面保護膜および第 2 の表面保護膜を形成する工程を有し、さらに前記第 1 の表面保護膜と前記第 2 の表面保護膜を形成する工程の間に前記第 1 の表面保護膜上に再配線を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 6 ～ 8 記載の発明において、前記第 1 の工程における前記複数のウエハは、異なる種類のウエハを含むことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 6 ～ 9 記載の発明において、前記第 2 の工程は前記チップモジュール内の各半導体チップを、スペースを設けて配置する工程を有し、前記第 3 の工程は、前記第 2 の保護膜を前記各半導体チップ間のスペース内に形成する工程を有することを特徴とする半

導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、CSP (Chip Size Package) 構造の半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 近年、チップとパッケージのサイズがほぼ等しくなる CSP 構造の半導体装置が知られている。

図 12 ～ 図 15 はこの種の半導体装置である、ウエハレベル CSP の一例を示す断面図である。以下、これら図面を参照してその製造工程について説明する。半導体装置は、まず図 12 に図示するように、ウエハ (シリコン基板) 1 の表面 (回路面) 側に複数の接続パッド (アルミ電極) 2 を形成した後、図示していないが、各接続パッド 2 の中央部を露出するように、ウエハ 1 の表面側全面を覆う酸化シリコンや窒化シリコン等の保護皮膜を形成する。

【0003】 そして、この保護被膜の上に、各接続パッド 2 の中央部分が開口するよう第 1 の表面側保護膜 3 を形成する。第 1 の表面側保護膜 3 は、例えばウエハ 1 の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

【0004】 次に、第 1 の表面側保護膜 3 が形成する開口部 4 を介して露出される各接続パッド 2 上に再配線 5 を形成する。再配線 5 は、後述する如く、切断されて個片化された各半導体装置の各接続パッド 2 に接続された柱状電極 (後述のポスト 6) を中央部にマトリクス上に配列することにより、各半導体装置の周辺部のみに形成された接続パッド 2 のピッチおよび電極面積を広げ、回路基板とのボンディング強度および接続の信頼性を向上するためのものである。

【0005】 再配線 5 を形成した後は、再配線 5 上の所定箇所に複数のポスト (柱状電極) 6 を設ける。ポスト 6 は、例えば 100 ～ 150  $\mu\text{m}$  程度の厚さでポスト形成用のレジストを塗布硬化させ、レジストパターンニングを施し、これにより開口された部分に電解メッキを施すことで形成される。こうして、図 12 に図示する構造となったら、図 13 に図示するように、ポスト 6 を覆うように、ウエハ 1 の回路面側全体をエポキシ等の樹脂材によってモールドし第 2 の表面側保護膜 7 を形成する。そして、この第 2 の表面側保護膜 7 を硬化させた後、ウエハ 1 全体を研削加工テーブルに移載し、研削装置にて第 2 の表面側保護膜 7 の上面側を研磨してポスト 6 の端面 6a (図 14 参照) を露出させる。

【0006】 この後、ウエハ 1 を所定厚にすべく背面側を研磨加工したり、研磨加工した背面側に製品番号やロット番号をマーキングする処理を施す。次いで、この背

面側を下向きにしてウエハ1をダイシングフレームに装着されたダイシングテープ上に載置した後、図15に図示する通り、カットライン8に沿ってウエハ1をダイシングすることによって、チップに個片化された半導体装置10が形成されるようになっている。

#### 【0007】

【発明が解決しようとする課題】ところで、このようなウエハレベルCSP構造にてマルチチップモジュール化された半導体装置を実現するには、1つのモジュールに複数チップ分の再配線5やポスト6を配置できるように、個片化される半導体装置10の面積を広げるようにすれば良い。しかしながら、単に個片化される半導体装置10の面積を広げるようにしても、図15に図示した断面構造から判るように、シリコン基板(ウエハ1)の側面(切断面を含む)や背面が露出した状態であるから、これがチップ破損や露出面からの水分浸透等、信頼性を低下させる要因になる、という問題がある。そこで本発明は、このような事情に鑑みてなされたもので、信頼性を向上させつつマルチチップモジュール化することが

#### 【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の半導体装置では、個片化された複数個のウエハの半導体チップを一組としたチップモジュールから構成され、前記チップモジュールは、背面を覆う第1の保護膜と、表面およびモジュール毎に個片切断される時の切断面を覆うように形成された第2の保護膜とを具備することを特徴としている。

【0009】請求項6に記載の半導体装置の製造方法では、ウエハの背面を覆う第1の保護膜を形成する第1の工程と、この第1の工程を経た複数個のウエハをチップに個片化し、各ウエハのチップを一組としたチップモジュールに並び替える第2の工程と、前記チップモジュールの表面および側面を覆う第2の保護膜を形成する第3の工程と、前記第2の保護膜が切断面に残るように、前記チップ間隙より狭い幅で前記チップモジュールを個片に切断する第4の工程とを具備することを特徴とする。

【0010】本発明による半導体装置は、個片化された複数個のウエハの半導体チップを一組としたチップモジュールの背面を第1の保護膜で、表面およびモジュール毎に個片切断される時の切断面を第2の保護膜で覆うようにしたので、信頼性を向上させつつマルチチップモジュール化することが可能になる。

【0011】また、本発明による半導体装置の製造方法では、背面を覆う第1の保護膜が形成された複数個のウエハを半導体チップに個片化し、各ウエハのチップを一組としたチップモジュールに並び替えた後、このチップモジュールの表面および側面を覆う第2の保護膜を形成し、この第2の保護膜が切断面に残るように、前記チ

ップ間隙より狭い幅でチップモジュールを個片に切断するので、個片化されたチップモジュールは背面、表面および側面が全て保護膜で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性を向上させつつマルチチップモジュール化することが可能になる。

#### 【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の一形態について説明する。図1～図10は、実施の一形態による半導体装置の構造およびその製造工程を説明する為の断面図であり、これらの図において上述した従来例と共通する部分には同一の番号を付してある。なお、この実施の一形態では、後述するように、種類が異なる3つのウエハ1-1～1-3からそれぞれ個片化される半導体チップA、B、Cを一組とするマルチチップモジュールを想定している。

【0013】本発明による製造工程では、先ず図1に図示する通り、表面側に複数の接続パッド2が形成された厚さt1のウエハ1について、その背面側を切削研磨して厚さt2(= (1/3～2/3) t1)のウエハ1に成形する。ウエハ1の表面側に形成された複数の接続パッド2は、工程の最終過程において切断により個片化されるモジュールの各半導体チップの周辺部に設けられているものであり、各半導体チップの接続パッド2間に形成された、図示しない集積回路素子に接続されているものである。なお、ウエハ1の表面側には該ウエハの全面を覆う、酸化シリコンや窒化シリコン等で形成された保護皮膜Pが形成されており、この保護皮膜Pには上記各接続パッド2の中央部を露出する開口部が形成されている。

【0014】次に、図2に図示するように、切削研磨されたウエハ1の背面側に、所定の膜厚となるよう保護樹脂(例えば、ポリイミド、エポキシ等の有機樹脂材)を塗布して裏面側保護膜11を形成する。裏面側保護膜11は、ポリイミドまたはエポキシ等の樹脂の単層であってもよいが、これら複数の樹脂層の積層構造としても良い。

【0015】次に、裏面側保護膜11を硬化させ、この後はレーザーによりこの裏面側保護膜11上にロット番号や製品番号などをマーキングする(図3参照)。マーキング完了後には、図4に示すように、ダイシングフレーム20に装着されたダイシングテープ21上に、裏面側保護膜11が対向するようにウエハ1をマウントする。ウエハ1をダイシングテープ21上にマウントしたら、予め定められたカットラインCLに沿ってウエハ1に切削溝1aを刻設するダイシング処理を施す。この際、裏面側保護膜11はフルカットし、個片化された各半導体チップをダイシングテープ21から個々に剥離が可能状態とする。

【0016】さて、種類が異なるウエハ1-1～1-3に対し、図1～図4に示した工程を施し、これによりウ

10

20

30

40

50

エハ 1-1~1-3 からそれぞれ半導体チップ A, B, C が個片化されたとする (図 5 (イ) ~ (ハ) 参照)。上記において、種類が異なるウエハとは、切断による個片化される各半導体チップ A, B, C の内部に形成された集積回路が相違するものを意味する。上記各半導体チップ A, B, C をそれぞれ、ダイシングテープ 20 から剥離して、別のダイシングテープ 20 上に、図 5 (ニ) に示すように、半導体チップ A, B, C の 1 個づつが一組となるようにブロック分けして装着する。

【0017】このとき、各半導体チップ A, B, C の対向面間には適宜なスペースを設けるようにする。また、各ブロック間にも適宜なスペースを設けるようにするが、この各ブロック間のスペースを、各ブロック内の半導体チップ A, B, C それぞれの対向面間のスペースよりも大きくしておくことが、各マルチチップモジュールのサイズを小さくする上で望ましい。この際、各ブロック内の半導体チップ A, B, C の対向面間にはスペースが無いようにしてもよい。なお、本実施形態では、半導体チップ A の巾方向に適宜なスペースを設けて半導体チップ B, C が配置される場合とする。

【0018】こうした並べ替えが完了した後は、図 6 に図示する通り、各半導体チップ A, B, C に対し、その側面 (周囲面) を覆うと共に、表面側に設けられた各接続パッド 2 の中央部分を開口させながら、再配置された各半導体チップの間隙を充填するよう表面を覆う第 1 の表面側保護膜 3 を形成する。

【0019】この第 1 の表面側保護膜 3 は、再配置された各半導体チップ A, B, C の表面側に形成された保護皮膜 P、この保護皮膜 P の開口部から露出する各接続パッド 2 上、各半導体チップ A, B, C の側面および各チップの間隙を充填するように、例えばポリイミド系樹脂材を塗布してスピコートすることにより形成する方法が望ましいが、スピコートに限らず、スキージを用いる印刷法やノズルからのインク吐出による塗布法等適宜な手法を用いることが可能である。

【0020】次に、このようにして各半導体チップ A, B, C の表面に形成された第 1 の表面側保護膜 3 を硬化させた後に、その側面および上面にフォトレジストを塗布し (図示せず)、その後、表面側については該フォトレジスト (図示せず) および表面側保護膜 3 を順次パターニングする。これにより、この第 1 の表面側保護膜 3 に、前述した従来例と同様、各接続パッド 2 の中央部を露出する開口部 4 を形成してからフォトレジストを剥離する。

【0021】この後、図 6 中の要部 M を拡大した図 7 に図示するように、第 1 の表面側保護膜 3 に形成された開口部 4 を介して露出される接続パッド 2 上に再配線 5 を形成する。再配線 5 は、フォトレジスト剥離後の表面側保護膜 3 にスパッタ処理等により UBM 層を堆積させ、この後に再配線用のフォトレジスト塗布硬化し、フォ

リソグラフィ技術により、再配線用のフォトレジストを図 7 に図示される再配線 5 が形成されるよう、所定形状の開口を有するパターニングを施した後、このレジストによって開口された部分に電解メッキを施すことで形成される。なお、この電解メッキにより再配線 5 を形成する状態では、表面側保護膜 3 の全表面上に堆積された UBM 層は、ダイシングフレーム 20 上に蒸着された UBM 層部分も含めてメッキ電極として残されている。

【0022】このようにして、一端が各接続パッド 2 に接続され、他端が表側保護膜 3 上を、切断により個片化されるモジュールの各半導体チップの中央側に延出される各再配線 5 を形成した後は、各再配線 5 上の上記他端上に所定箇所にポスト (柱状電極) 6 を設ける。ポスト 6 は、図示しないが、例えば 100~150  $\mu\text{m}$  程度の厚さでポスト形成用のフォトレジストを塗布、硬化させた上、各再配線 5 の他端の中央部を露出する開口部を形成し、この開口部内に電解メッキを施すことで形成される。この電解メッキを施す際、第 1 の表面側保護膜 3 の全表面上およびダイシングフレーム 20 上に蒸着された UBM 層が一方の電極として用いられる。なお、このメッキ処理後にはポスト形成用のフォトレジストを剥離しておくと共に、不要部分に蒸着された UBM 層をエッチングにより除去しておく。図 7 はこの工程が完了した状態の拡大断面図である。

【0023】こうして、図 7 に図示した構造が形成された後は、図 8 に図示するように、ポスト 6 を覆うように、各半導体チップ A, B, C の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして第 2 の表面側保護膜 7 を形成する。第 2 の表面側保護膜 7 は、ポリイミド、エポキシ等の単層からなるものでもよいが、これら樹脂層の積層構造としてもよい。この場合、上述せる裏面側保護層 11、第 1 の表面側保護層 3 および第 2 の表面側保護膜 7 は、環境変化に対応する信頼性を確保する上で、主成分が実質的に同一な材料を含む樹脂層で形成することが望ましい。

【0024】そして、この第 2 の表面側保護膜 7 を硬化させ、次に、その上面側を研磨してポスト 6 の端面 6a (図 8 参照) を露出させる。露出した端面 6a については、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理を施す。この後、図 10 に示すように、切断面に所定厚の第 1 の表面側保護膜 3 が残るようにカットライン CL に沿ってダイシングし、これにより半導体チップ A, B, C を 1 つのモジュールとする半導体装置 10 が形成される。

【0025】以上説明したように、本発明の実施の一形態によれば、種類が異なるウエハ 1-1~1-3 について、それぞれ背面側に裏面側保護膜 11 を形成してから個片化し、これら各ウエハから個片化された半導体チップ A, B, C を良品選別してマルチチップモジュールとなるよう並び替え、並び替えた各チップ A, B, C の表

面および側面を覆うと共に、チップ間隙を充填する第1の表面側保護膜3を形成し、続いて再配線5、ポスト6および第2の表面側保護膜7を設けた後、切断面に所定厚の第1の表面側保護膜3が残るようにカットラインCLに沿って再度ダイシングしてマルチチップモジュール化された半導体装置10を形成するので、半導体装置10は背面、表面および側面が全て保護膜3、11で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性が向上する訳である。

【0026】また、この実施の形態にあつては、ダイシングフレーム20上に蒸着されたUBM層をメッキ電極として残すようにしたので、従来のように、ウエハ1上に別途に電極形成せずとも再配線5やポスト6を形成する電解メッキ処理を行うことが可能になっている。さらに、この実施の形態では、半導体装置10の背面、表面および側面の全てを保護膜3、11で覆う為、個片化された半導体装置10をトレイに移載する時などのハンドリングが極めて容易になる。

【0027】なお、上述した実施の形態では、半導体チップA、B、C上に形成されるポスト6の間隔をそれぞれの半導体チップの大きさに合わせて異なるように図示されているが、実際には、ボンディング時の条件を均一にするために、ほぼ均一の間隔とすることが望ましい。その場合、保護膜上に形成される再配線5の一部を各半導体チップA、B、Cの境界を越えて隣接の半導体チップ側に延出し、その端部にポスト6を設けるようにしてもよい。

【0028】また、上記実施の形態では、種類の異なる複数種のウエハから切断された半導体チップを一組としたマルチチップモジュール化された半導体装置を形成する場合で説明したが、各ウエハから切断される半導体チップが同一のものであつても、良品だけを選別して並び替えたり、あるいはマルチチップモジュール間のスペースを広げるために並び替える場合にも適用できる。

【0029】また、上記においては、個片化された半導体チップA、B、Cをマルチチップモジュール化すべく再配置するようにしたが、この発明はシングルチップを製造する際にも適用可能である。すなわち、裏面側保護膜11を形成した後のダイシング工程において、例えば図11(イ)に示すように、ウエハ1をダイシングして個片化したら、個片化された半導体チップの内から良品のみを選別して同図(ロ)または同図(ハ)に図示する形態で並べ替え、この後、図6以降に図示した第1の表面側保護膜3、再配線5、ポスト6、第2の表面側保護膜7を形成するようにしても良い。

【0030】こうした並び替えを行う際に各半導体チップ間のスペースを広げる等、任意に設定することが可能となり、ウエハ1を半導体チップに個片化して半導体装置10を形成する際に、各半導体装置10の側面に形成

される第1の表面側保護膜3の厚さを充分なものにしたり、最終的に仕上がる半導体装置10の寸法を調整することもできる。

【0031】また、上述した実施形態では、各半導体チップA、B、C上に再配線5を形成し、この再配線5上にポスト6を形成する半導体装置に関するものとしたため、表面側保護膜を2層の積層構造としたが、本発明は、各半導体チップA、B、C上に再配線5を形成せずに直接、ポスト6を形成する半導体装置にも適用することが可能であり、その場合には、表面側保護膜を単層化することができる。

#### 【0032】

【発明の効果】請求項1に記載の発明によれば、個片化された複数個のウエハの半導体チップを一組としたチップモジュールの背面を第1の保護膜で、表面およびモジュール毎に個片切断される時の切断面を第2の保護膜で覆うようにしたので、信頼性を向上させつつマルチチップモジュール化することができる。また、請求項6に記載の発明によれば、背面を覆う第1の保護膜が形成された複数個のウエハをチップに個片化し、各ウエハのチップを一組としたチップモジュールに並び替えた後、このチップモジュールの表面および側面を覆う第2の保護膜を形成し、この第2の保護膜が切断面に残るように、前記チップ間隙より狭い幅でチップモジュールを個片に切断するので、個片化されたチップモジュールは背面、表面および側面が全て保護膜で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性を向上させつつマルチチップモジュール化することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態を説明する為の断面図であり、半導体装置製造工程の最初の状態を示す断面図である。

【図2】図1に続く半導体装置の製造工程を説明する為の断面図である。

【図3】図2に続く半導体装置の製造工程を説明する為の断面図である。

【図4】図3に続く半導体装置の製造工程を説明する為の断面図である。

【図5】図4に続く半導体装置の製造工程を説明する為の断面図である。。

【図6】図5に続く半導体装置の製造工程を説明する為の断面図である。

【図7】図6に続く半導体装置の製造工程を説明する為の断面図である。

【図8】図7に続く半導体装置の製造工程を説明する為の断面図である。

【図9】図8に続く半導体装置の製造工程を説明する為の断面図である。

【図10】図9に続く半導体装置の製造工程を説明する

10

20

30

40

50

為の断面図である。

【図 1 1】 変形例を説明するための平面図である。

【図 1 2】 従来例の半導体装置の製造方法を説明するための断面図である。

【図 1 3】 図 1 2 に続く工程を説明するための断面図である。

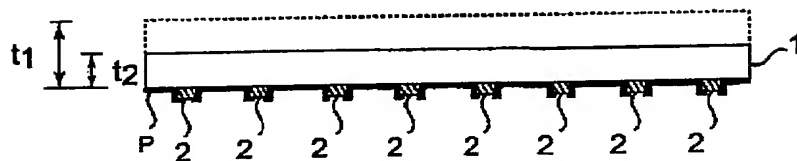
【図 1 4】 図 1 3 に続く工程を説明するための断面図である。

【図 1 5】 図 1 4 に続く工程を説明するための断面図である。

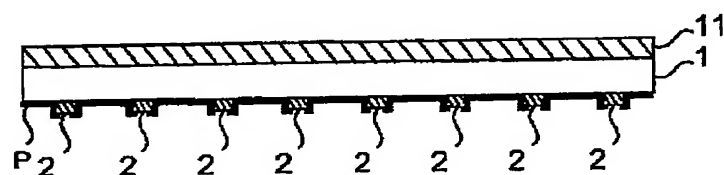
【符号の説明】

- \* 1 ウエハ
- 2 接続パッド
- 3 第 1 の表面側保護膜 (第 2 の保護膜)
- 4 開口部
- 5 再配線路
- 6 ポスト
- 7 第 2 の表面側保護膜
- 10 半導体装置
- 11 裏面側保護膜 (第 1 の保護膜)
- 10 20 ダイシングフレーム
- \* 21 ダイシングテープ

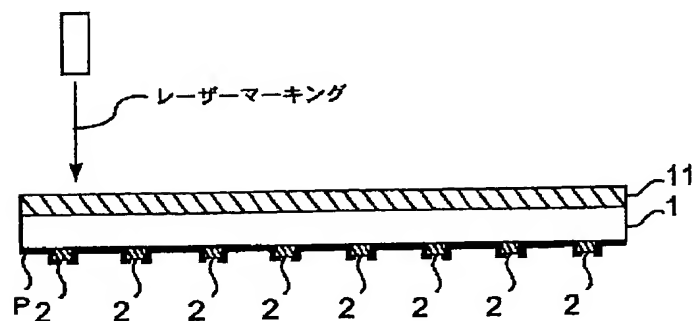
【図 1】



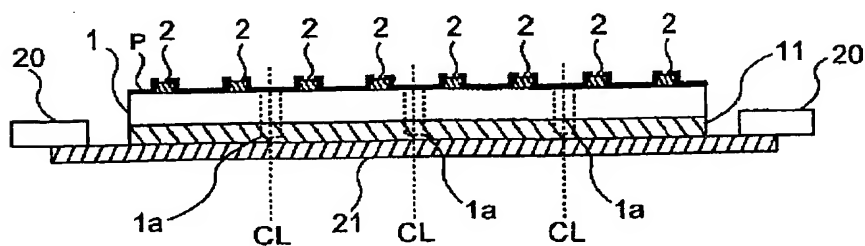
【図 2】



【図 3】

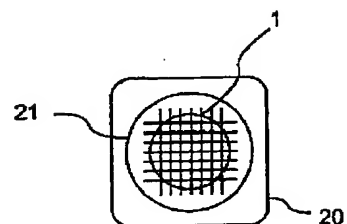


【図 4】

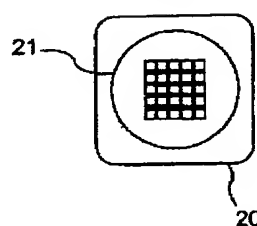


【図 1 1】

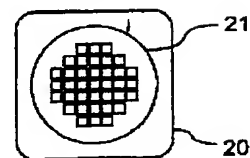
(イ)



(ロ)



(ハ)



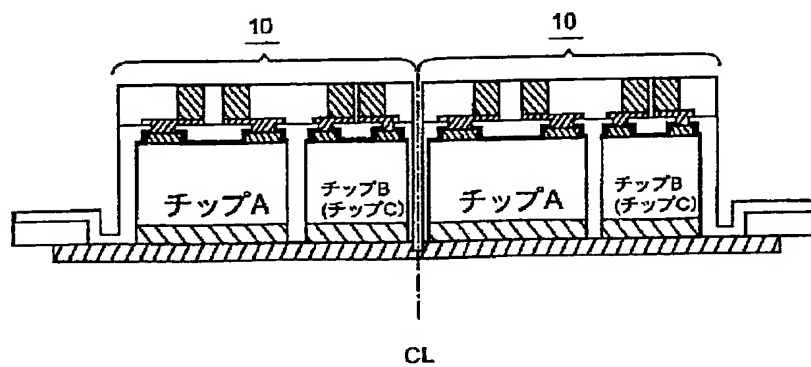
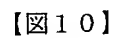
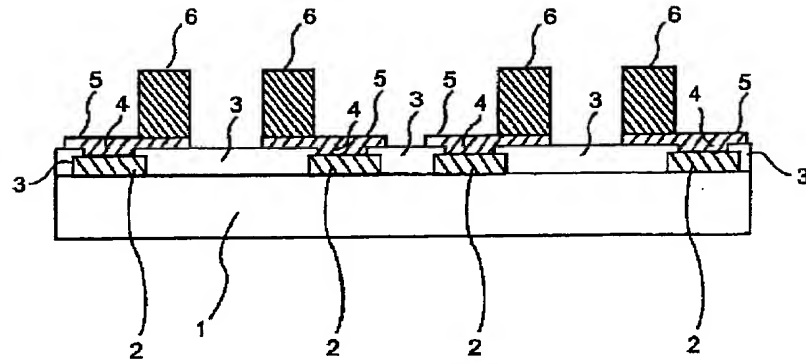


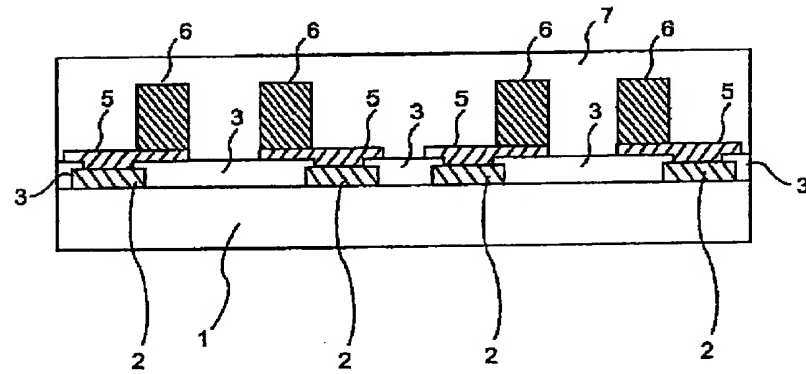
Fig. 1 is a cross-sectional view of a semiconductor device. It shows two chips, "チップA" (Chip A) and "チップB (チップC)" (Chip B (Chip C)), mounted on a substrate 11. Chip A is connected to a lead 20 via a wire bond 2. Chip B is connected to a lead 21 via a wire bond 2. Various layers and structures are labeled with numbers 1 through 6.



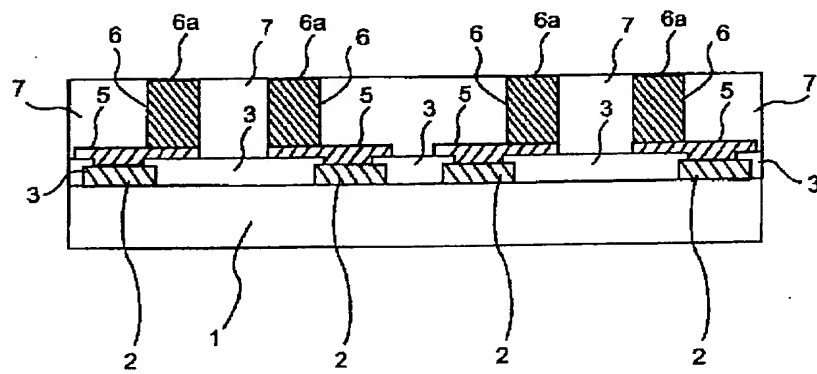
【図 12】



【図 13】



【図 14】



【図15】

